

**PAT-NO:** JP402098899A  
**DOCUMENT-IDENTIFIER:** JP 02098899 A  
**TITLE:** SEMICONDUCTOR MEMORY

**PUBN-DATE:** April 11, 1990

**INVENTOR-INFORMATION:**

<b>NAME</b>	<b>COUNTRY</b>
EKUNI, MASANORI	

**ASSIGNEE-INFORMATION:**

<b>NAME</b>	<b>COUNTRY</b>
MATSUSHITA ELECTRON CORP	N/A

**APPL-NO:** JP63250386

**APPL-DATE:** October 4, 1988

**INT-CL (IPC):** G11C029/00 , G11C011/401

**US-CL-CURRENT:** 714/721

**ABSTRACT:**

**PURPOSE:** To prevent a current from increasing even when a word line and a bit line are short-circuited by serially connecting a fuse disconnectable with a laser beam between the word line and a circuit part which fixes the word line at a low potential at the time of nonselecting the word line.

**CONSTITUTION:** A fuse 14 disconnectable by the laser beam is serially connected between a word line 8 and a circuit part 5 to fix the word line to the low potential at the time of nonselecting the word line. When a defective remedy processing is executed for a defective memory due to short-circuiting between the word line 8 and the bit line 9 by means of a redundant memory, by disconnecting the fuse 14 serially connected to the defective word line, even when the potential of the bit line by means of a bit line precharging system is conveyed to the word line due to short-circuiting, the potential is disconnected from a low potential holding circuit at the time of nonselecting the word line. Thus, a current penetrating path is not generated, and the power source current at the time of short-circuiting between the word line and the bit line can be prevented from increasing.

**COPYRIGHT:** (C)1990,JPO&Japio

## ⑫ 公開特許公報(A) 平2-98899

⑬ Int.Cl.<sup>5</sup>G 11 C 29/00  
11/401

識別記号

3 0 1 B

庁内整理番号

7737-5B

⑭ 公開 平成2年(1990)4月11日

8522-5B G 11 C 11/34 3 7 1 D

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 半導体メモリ

⑯ 特 願 昭63-250386

⑰ 出 願 昭63(1988)10月4日

⑱ 発 明 者 江 国 正 典 大阪府門真市大字門真1006番地 松下電子工業株式会社内

⑲ 出 願 人 松下電子工業株式会社 大阪府門真市大字門真1006番地

⑳ 代 理 人 弁理士 森本 義弘

## 明 細 書

## 1. 発明の名称

半導体メモリ

## 2. 特許請求の範囲

1. 冗長メモリを有し、ビット線プリチャージ方式を採用している半導体メモリであつて、レーザーにより切断可能なヒューズをワード線とこのワード線を非選択時に低電位に固定する回路部との間に直列接続した半導体メモリ。

## 3. 発明の詳細な説明

## 産業上の利用分野

本発明は、冗長メモリを有し、ビット線プリチャージ方式を採用している半導体メモリに関するものである。

## 従来の技術

近年、半導体メモリ、特にダイナミック型ランダムアクセスメモリ(以下、DRAMという)の集積度は飛躍的に高まり、そのパターンも非常に微細かつ多層化している。そのために、プロセス工程上の欠陥あるいはダストなどによる不良により歩

留低下をきたし、大きな問題となつている。

また、DRAMにおいては、チップにおけるメモリセル部の占める面積が大きなことから、メモリセル部での不良発生の確率が高い。そこで、DRAMに冗長メモリを具備させることにより、メモリセル部での不良を救済している。すなわち、メモリセル部での不良内容は、ワード線間の短絡、ワード線の断線、ビット線間の短絡およびビット線の断線など様々であり、これらの不良に対しては、不良メモリのビット数およびアドレスに対応する冗長メモリを使用することにより救済を行なっている。

第2図は従来の一般的なDRAMのメモリ部周辺の機能回路ブロック図である。第2図において、1はメモリ部、2はワード線方向の冗長メモリ部、3はビット線方向の冗長メモリ部、4はワード線駆動回路部、5はワード線を非選択時に接地電位もしくはそれと同等な電位に保持する低電位保持回路部、6はビット線プリチャージ回路部、7は直交するワード線8とビット線9の交点である。

第3図は第2図の低電位保持回路部5をトランジスタ回路で示したものである。第3図において、10, 11, 12はMOSトランジスタであり、ワード線8はMOSトランジスタ12のドレインに接続されるとともにMOSトランジスタ11のゲートに接続され、一方、電源 $V_{DD}$ は制御信号がゲートに入力されるMOSトランジスタ10を介してMOSトランジスタ11のドレインに接続されるとともにMOSトランジスタ12のゲートに接続され、また、MOSトランジスタ11, 12のソース側は接地されている。

この構成により、ワード線非選択時、制御信号によりMOSトランジスタ10が導通し、電源電圧 $V_{DD}$ がMOSトランジスタ12のゲートに入力されMOSトランジスタ12も導通する。したがって、ワード線8はMOSトランジスタ12を介して接地され、ワード線8は接地電位に保持される。

発明が解決しようとする課題

上記従来の構成において、ワード線8およびビット線9が短絡不良などを起こした場合、不良メモリは冗長メモリ部2, 3によつてそれぞれ救済

ワード線を非選択時に低電位に固定する回路部との間に直列接続したものである。

作用

上記構成によつて、レーザにより切断可能なヒューズをワード線とこのワード線を非選択時に低電位に保持する回路部との間に直列に接続したので、ワード線とビット線との短絡による不良メモリを冗長メモリで不良救済処理する場合、不良ワード線に直列接続されているヒューズをレーザで切断することにより、ビット線プリチャージ方式によるビット線の電位がこの短絡でワード線に伝えられても、ワード線非選択時の低電位保持回路に対して電位が遮断された状態になり、これにより、電流貫通経路が発生せず、ワード線とビット線の短絡時における電源電流の増加は起らない。

実施例

以下、本発明の一実施例を図面に基づいて説明する。

第1図は本発明の一実施例のDRAMのメモリ部周辺の機能回路ブロック図であり、従来例と同一部

可能である。しかし、ワード線8は非選択時、第3図に示す回路により接地電位に保持されており、ワード線8が交点7でビット線9と交点7で短絡していると、ビット線プリチャージ回路部6によりビット線9に与えられた電位が短絡発生の交点7を通してワード線8に伝えられ、ワード線は $+V_{DD}$ に保持されて、第3図に示すMOSトランジスタ11のゲート電位が $+V_{DD}$ になることからMOSトランジスタ11は導通し、MOSトランジスタ10, 11に電流貫通経路が発生することにより、電源電流が増加してしまうという問題が起こる。

本発明は上記従来の問題を解決するもので、ワード線とビット線の短絡不良の場合に、電源電流増加を伴わない半導体メモリを提供することを目的とするものである。

課題を解決するための手段

上記課題を解決するために本発明の半導体メモリは、冗長メモリを有し、ビット線プリチャージ方式を採用している半導体メモリであつて、レーザにより切断可能なヒューズをワード線とこの

分には同一符号を付して、その説明を省略する。第1図において、メモリ部1のワード線8はレーザにより切断可能なポリシリコンヒューズ部13を介して低電位保持回路部5の回路ブロックに直列接続されている。上記回路構成のDRAMを周知の<sup>で救済</sup>冗長救済技術する場合、短絡不良を発生した交点7に対応するワード線8に接続されているポリシリコンヒューズ14をレーザで切断することによりワード線8は低電位保持回路部5の回路ブロックと電気的に遮断されることになり、第3図におけるMOSトランジスタ11はしや断し、MOSトランジスタ10, 11の電流貫通経路は無くなり、電源電流の増加はなく、ワード線とビット線の短絡による不良メモリを冗長メモリにより救済することができる。

なお、本実施例では、ポリシリコンヒューズとしたが、他の層をヒューズに使用してもよい。また、ビット線を $+V_{DD}$ にプリチャージするDRAMのみでなく、ビット線をプリチャージする全ての半導体メモリについても同様、適用できることは言

うまでもない。

発明の効果

以上のように本発明によれば、ヒューズをワード線非選択時、低電位に保持する回路部とワード線との間に直列接続し、ワード線とビット線との短絡による不良メモリを、冗長メモリで不良救済処理する場合、不良ワード線に直列接続されているヒューズをレーザーで切断することにより、電源電流を増加させることなしに、不良メモリを救済することができるものである。

#### 4. 図面の簡単な説明

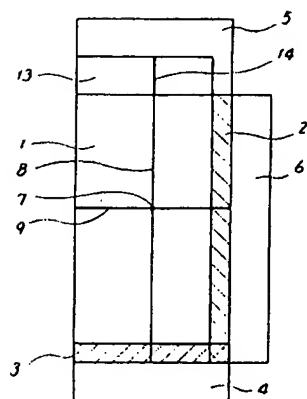
第1図は本発明の一実施例のDRAMのメモリ部周辺の機能回路ブロック図、第2図は従来のDRAMメモリ部周辺の機能回路ブロック図、第3図は第2図のワード線非選択時接地電位保持回路部5の回路ブロック図を示すトランジスタ回路図である。

2…ワード線方向の冗長メモリ部、3…ビット線方向の冗長メモリ部、5…低電位保持回路部、5a…低電位保持回路部の回路ブロック、6…ビット線プリチャージ回路部、7…ワード線とビット線の交点、8…

ワード線、9…ビット線、10,11,12…MOSトランジスタ、13…ポリシリコンヒューズ部、14…ポリシリコンヒューズ。

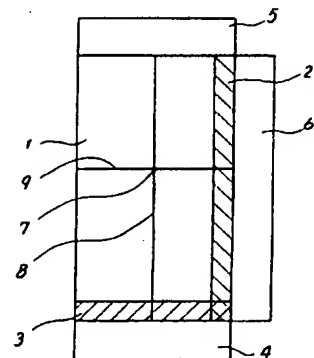
代理人 森 本 義 弘

第1図

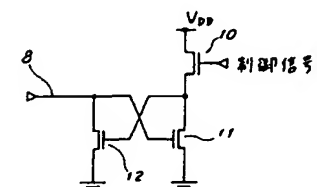


- 2…ワード線方向の冗長メモリ部
- 3…ビット線方向の冗長メモリ部
- 5…低電位保持回路部
- 6…ビット線プリチャージ回路部
- 7…ワード線とビット線の交点
- 8…ワード線
- 9…ビット線
- 13…ポリシリコンヒューズ部
- 14…ポリシリコンヒューズ

第2図



第3図



10, 11, 12…MOSトランジスタ